

Practitioner's Docket No.: 040044-0307370
Client Reference No.: OF03P235/US

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: HAG DONG KIM

Confirmation No:

Application No.:

Group No.:

Filed: December 23, 2003

Examiner:

For: METHOD OF MANUFACTURING A SEMICONDUCTOR DEVICE

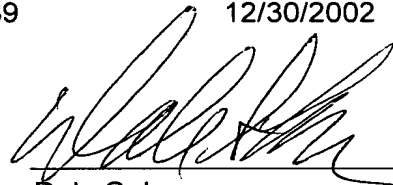
**Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450**

SUBMISSION OF PRIORITY DOCUMENT

Attached please find the certified copy of the foreign application from which priority is claimed for this case:

<u>Country</u>	<u>Application Number</u>	<u>Filing Date</u>
Republic of Korea	10-2002-0087487	12/30/2002
Republic of Korea	10-2002-0087489	12/30/2002

Date: December 23, 2003
PILLSBURY WINTHROP LLP
P.O. Box 10500
McLean, VA 22102
Telephone: (703) 905-2000
Facsimile: (703) 905-2500
Customer Number: 00909



Dale S. Lazar
Registration No. 28872



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2002-0087487
Application Number

출원년월일 : 2002년 12월 30일
Date of Application DEC 30, 2002

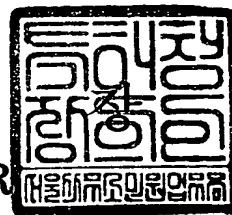
출원인 : 동부전자 주식회사
Applicant(s) DONGBU ELECTRONICS CO., LTD.



2003 년 11 월 17 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0027
【제출일자】	2002. 12. 30
【발명의 명칭】	반도체 소자의 제조방법
【발명의 영문명칭】	Method for fabricating a semiconductor device
【출원인】	
【명칭】	동부전자 주식회사
【출원인코드】	1-1998-106725-7
【대리인】	
【성명】	김영철
【대리인코드】	9-1998-000040-3
【포괄위임등록번호】	2001-037703-7
【대리인】	
【성명】	김순영
【대리인코드】	9-1998-000131-1
【포괄위임등록번호】	2001-037700-5
【대리인】	
【성명】	이준서
【대리인코드】	9-1998-000463-0
【포괄위임등록번호】	2001-037697-8
【발명자】	
【성명의 국문표기】	김학동
【성명의 영문표기】	KIM,HAG DONG
【주민등록번호】	680608-1802428
【우편번호】	442-757
【주소】	경기도 수원시 팔달구 원천동 원천주공 A 216-904
【국적】	KR
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 김영철 (인) 대리인 김순영 (인) 대리인 이준서 (인)

【수수료】

【기본출원료】	20	면	29,000	원
【가산출원료】	1	면	1,000	원
【우선권주장료】	0	건	0	원
【심사청구료】	0	항	0	원
【합계】	30,000	원		

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 반도체 소자의 제조방법에 관한 것으로, 본 발명에서는 P-LDD 예정영역 및 N-LDD 예정영역에 일련의 불순물들을 주입하기 이전에, 별개의 스페이서를 서로 다른 규모로 선택·형성한 후, 이 서로 다른 규모의 스페이서들을 기반으로, 각 LDD 예정영역에 주입되는 불순물의 주입상태가 임의로 조절될 수 있도록 유도하고, 이를 통해, PMOS측 예정 채널길이 및 NMOS측 예정 채널길이가 필요에 따라, 선택적으로 조절될 수 있도록 가이드 함으로써, 추후, 실질적인 어닐링 공정이 진행되고, P형 불순물 및 N형 불순물의 구조적인 차이에 의해, P형 불순물이 N형 불순물에 비해 빠르게 확산된다 하더라도, 이와 무관하게, 최종 형성되는 PMOS측 채널길이 및 NMOS측 채널길이가 필요에 따라, 효율적으로 조절될 수 있도록 유도한다.

이러한 본 발명의 실시예에 따라, PMOS측 채널길이 및 NMOS측 채널길이가 각 불순물들의 확산 속도와 무관하게 본 발명에서 원하는 효율적인 값을 유지할 수 있게 되는 경우, 최종 형성되는 PMOS 소자 및 NMOS 소자의 문턱전압은 자연스럽게 본 발명에서 원하는 값을 나타낼 수 있게 되며, 결국, 최종 완성되는 고 집적 반도체 소자는 일정 수준 이상의 품질을 손쉽게 유지할 수 있게 된다.

【대표도】

도 9

【명세서】

【발명의 명칭】

반도체 소자의 제조방법{Method for fabricating a semiconductor device}

【도면의 간단한 설명】

도 1 내지 도 4는 종래의 기술에 따른 반도체 소자의 제조방법을 순차적으로 도시한 공정순서도.

도 5는 종래의 기술에 따른 불순물의 확산상태를 개념적으로 도시한 예시도.

도 6 내지 도 11은 본 발명에 따른 반도체 소자의 제조방법을 순차적으로 도시한 공정순서도.

도 12는 본 발명에 따른 불순물의 확산상태를 개념적으로 도시한 예시도.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<5> 본 발명은 반도체 소자의 제조방법에 관한 것으로, 좀더 상세하게는 P-LDD 예정영역 및 N-LDD 예정영역에 일련의 불순물들을 주입하기 이전에, 별개의 스페이서를 서로 다른 규모로 선택·형성한 후, 이 서로 다른 규모의 스페이서들을 기반으로, 각 LDD 예정영역에 주입되는 불순물의 주입상태가 임의로 조절될 수 있도록 유도하여, PMOS측 예정 채널길이 및 NMOS측 예정 채널길이를 필요에 따라, 선택적으로 조절해 놓음으로써, 실질적인 어닐링 공정이 진행되고, P형 불순물이 N형 불순물에 비해 빠르게 확산되는 현상이 발생된다 하더라도, 최종 형성되는

PMOS측 채널길이 및 NMOS측 채널길이가 각 불순물들의 확산 속도와 무관하게 본 발명의 필요에 따라, 효율적으로 조절될 수 있도록 유도할 수 있는 반도체 소자의 제조방법에 관한 것이다.

<6> 도 1에 도시된 바와 같이, 종래의 기술에 따른 반도체 소자, 예컨대, PMOS 소자/NMOS 소자는 소자 분리층(2)에 의해 전기적으로 분리된 반도체 기판(1)의 P형 소자영역(A1) 및 N형 소자영역(A2)의 각 웰 예정영역(3a,3b) 및 채널 예정영역(4a,4b)에 소정의 불순물을 주입시키는 단계와, 도 2에 도시된 바와 같이, P형 소자영역(A1) 및 N형 소자영역(A2) 각각에 P-게이트 절연막(7), N-게이트 절연막(9) 및 P-폴리 게이트(8), N-폴리 게이트(9)를 형성시킨 후, 일련의 이온 주입 공정을 통해, 각 폴리 게이트(8,10)의 P-엘디디(LDD:Lightly Doped Drain; 이하, "LDD"라 칭함) 예정영역(5a), N-LDD 예정영역(6a)에 예컨대, BF, P(As) 등과 같은 P형/N형 불순물들을 저 농도로 이온 주입시키는 단계와, 도 3에 도시된 바와 같이, 각 폴리 게이트(8,10)의 측벽에 스페이서(13,14)를 형성시킨 후, 이 스페이서(13,14)를 마스크로 하여, 각 폴리 게이트(8,10)의 P-소오스·드레인 예정영역(11a), N-소오스·드레인 예정영역(12a)에 예컨대, B, P 등과 같은 P형/N형 불순물들을 고 농도로 이온 주입시키는 단계와, 앞의 각 구조물들이 형성된 반도체 기판(1)을 대상으로 고온 어닐링 공정을 진행하여, 웰 예정영역(3a,3b), P-채널 예정영역(4a), N-채널 예정영역(4b), P-LDD 예정영역(5a), N-LDD 예정영역(6a), P-소오스·드레인 예정영역(11a), N-소오스·드레인 예정영역(12a) 등에 주입되어 있던 불순물들의 확산을 유도하고, 이를 통해, 도 4에 도시된 바와 같은 완성된 형태의 웰(3), P-채널(4c), N-채널(4d), P-LDD(5), N-LDD(6), P-소오스/드레인(11), N-소오스/드레인(12) 등을 형성시키는 단계를 통해 제조된다.

<7> 이러한 종래의 체제 하에서, 앞서 언급한 바와 같이, 완성된 형태의 웰(3), 채널(4c,4d), LDD(5,6), 소오스·드레인(11,12) 등을 형성시키기 위해서는 반도체 기판(1)을 어닐링

하는 절차가 반드시 선행되는 바, 이러한 어닐링 공정 하에서, 도 5에 도시된 바와 같이, 예컨대, P-LDD 예정영역(5a), P-소오스·드레인 예정영역(11a), N-LDD 예정영역(6a), N-소오스·드레인 예정영역(12a) 등에 주입되어 있던 P형 불순물(예컨대, B), N형 불순물(예컨대, P) 등은 어닐링 공정 중에 가해지는 열에 의해 일정 속도로 확산되는 메카니즘을 취하게 된다.

<8> 그런데, 통상, B과 같은 P형 불순물은 P(또는 As)와 같은 N형 불순물에 비해, 그 확산속도가 매우 빠르기 때문에, 종래의 체제 하에서, P형 불순물의 확산에 의해 최종 확정되는 PMOS 소자의 채널길이 CL1은 N형 불순물의 확산에 의해 최종 확정되는 NMOS 소자의 채널길이 CL2 보다 항상 짧아질 수밖에 없게 된다.

<9> 이처럼, PMOS 소자의 채널길이 CL1 및 NMOS 소자의 채널길이 CL2가 서로 달라진 상황에서, 별도의 조치가 취해지지 않는 경우, 종래에서는 PMOS 소자 및 NMOS 소자 사이의 문턱전압을 효율적으로 조절할 수 없게 되며, 결국, 최종 완성되는 고 집적 반도체 소자는 일정 수준 이하의 품질을 유지할 수밖에 없게 된다.

【발명이 이루고자 하는 기술적 과제】

<10> 따라서, 본 발명의 목적은 P-LDD 예정영역 및 N-LDD 예정영역에 일련의 불순물들을 주입하기 이전에, 별개의 스페이서를 서로 다른 규모로 선택·형성한 후, 이 서로 다른 규모의 스페이서들을 기반으로, 각 LDD 예정영역에 주입되는 불순물의 주입상태가 임의로 조절될 수 있도록 유도하고, 이를 통해, PMOS측 예정 채널길이 및 NMOS측 예정 채널길이가 필요에 따라, 선택적으로 조절될 수 있도록 가이드 함으로써, 추후, 실질적인 어닐링 공정이 진행되고, P형 불순물 및 N형 불순물의 구조적인 차이에 의해, P형 불순물이 N형 불순물에 비해 빠르게 확산된다 하더라도, 이와 무관하게, 최종 형성되는 PMOS측 채널길이 및 NMOS측 채널길이가 필요에 따라, 효율적으로 조절될 수 있도록 유도하는데 있다.

<11> 본 발명의 다른 목적은 PMOS 소자 및 NMOS 소자의 채널길이 조절절차를 통해, 각 소자 사이의 문턱전압이 필요에 따라, 선택적으로 조절될 수 있도록 유도하고, 이를 통해, 최종 완성되는 고 집적 반도체 소자의 품질을 일정 수준 이상으로 향상시키는데 있다.

<12> 본 발명의 또 다른 목적들은 다음의 상세한 설명과 첨부된 도면으로부터 보다 명확해질 것이다.

【발명의 구성 및 작용】

<13> 상기한 바와 같은 목적을 달성하기 위하여 본 발명에서는 소자 분리층에 의해 전기적으로 분리된 반도체 기판의 P형 소자영역 및 N형 소자영역 각각에 P-폴리 게이트 및 N-폴리 게이트를 형성시키는 단계와, P-폴리 게이트 및 N-폴리 게이트가 커버되도록 반도체 기판의 전면에 스페이서용 산화막을 형성시키는 단계와, 앞의 N형 소자영역을 차폐한 후, P형 소자영역에 형성된 스페이서용 산화막을 패터닝하여, P-폴리 게이트 측벽에 제 1 규모의 P-스페이서를 형성시키고, 이 P-스페이서를 버퍼 마스크로 하여, P-폴리 게이트 주변의 P-LDD 예정영역에 일련의 P형 불순물을 선택적으로 저 농도 이온 주입시키는 단계와, 앞의 P형 소자영역을 차폐한 후, N형 소자영역에 형성된 스페이서용 산화막을 패터닝하여, N-폴리 게이트 측벽에 제 2 규모의 N-스페이서를 형성시키고, 이 N-스페이서를 버퍼 마스크로 하여, N-폴리 게이트 주변의 N-LDD 예정영역에 일련의 N형 불순물을 선택적으로 저 농도 이온 주입시키는 단계와, P-폴리 게이트 및 N-폴리 게이트 주변의 P-소오스·드레인 예정영역 및 N-소오스·드레인 예정영역에 일련의 P형 불순물 및 N형 불순물을 선택적으로 고 농도 이온 주입시키는 단계와, 반도체 기판을 어닐링 시켜, P-LDD 예정영역, N-LDD 예정영역, P-소오스·드레인 예정영역, N-소오스·드레인 예정영역에 주입되어 있던 P형 불순물들 및 N형 불순물들을 확산시키는 단계의 조합으로 이루어지는 반도체 소자의 제조방법을 개시한다.

- <14> 이하, 첨부된 도면을 참조하여, 본 발명에 따른 반도체 소자의 제조방법을 좀더 상세히 설명하면 다음과 같다.
- <15> 도 6에 도시된 바와 같이, 본 발명에서는 먼저, 일련의 희생막 패턴, 예컨대, 희생 질화막 패턴, 희생 산화막 패턴 등을 적절히 활용하여, 반도체 기판(1)의 소자 분리 영역에 일련의 트렌치(Trench)를 형성시킨 후, 일련의 절연막 갭 필링 공정, 절연막 패터닝 공정 등을 추가 진행하여, 트렌치의 내부를 채우는 소자 분리층(2)을 형성시킨다. 이 경우, 반도체 기판(1)의 P형 소자영역(A1) 및 N형 소자영역(A2)은 소자 분리층(2)에 의해 전기적으로 분리되는 구조를 형성한다.
- <16> 그런 다음, 본 발명에서는 앞의 소자 분리층(2)이 형성된 반도체 기판(1)의 P형 소자영역(A1) 및 N형 소자영역(A2) 상에 일련의 감광막 패턴을 번갈아 형성한 후, 이 감광막 패턴을 마스크로 하여, 일련의 이온 주입 공정을 진행시키고, 이를 통해, P형 소자영역(A1)의 P-채널 예정영역(4a), 웰 영역(3a), N형 소자영역(A2)의 N-채널 예정영역(4b), N-웰 영역(3b) 등에 예컨대, BF, P(As) 등과 같은 P형/N형 불순물들을 선택적으로 주입시킨다.
- <17> 계속해서, 본 발명에서는 열산화 공정, 저압 화학기상증착 공정 등을 선택적으로 진행시켜, 반도체 기판(1)의 전면에 일련의 게이트 절연막을 형성시킨 후, 일련의 저압 화학기상증착 공정을 진행시켜, 게이트 절연막의 상부에 다결정 실리콘층을 형성시키고, 그런 다음, 일련의 사진식각 공정을 통해, 게이트 절연막 및 다결정 실리콘층을 일괄적으로 패터닝 하여, 도 7에 도시된 바와 같이, 반도체 기판(1)의 P형 소자영역(A1) 및 N형 소자영역(A2) 상부에 P-게이트 절연막(7), P-폴리 게이트(8), N-게이트 절연막(9), N-폴리 게이트(10)를 형성시킨다.
- <18> 한편, 상술한 과정을 통해, 반도체 기판(1)의 P형 소자영역(A1) 및 N형 소자영역(A2) 상부에 P-게이트 절연막(7), P-폴리 게이트(8), N-게이트 절연막(9), N-폴리 게이트(10) 등이 형

성 완료되면, 본 발명에서는 예컨대, 700℃~900℃의 온도 조건 하에서, 화학기상증착 공정을 진행시켜, 도면에 도시된 바와 같이, P-폴리 게이트(8) 및 N-폴리 게이트(10)를 커버하는 스페이서용 산화막(20)을 반도체 기판의 전면에 형성시킨다. 이 경우, 스페이서용 산화막은 예컨대, 100Å~500Å의 두께를 유지한다.

<19> 그런 다음, 본 발명에서는 이온주입 조절용 산화막(20)이 형성된 반도체 기판(1) 상에 감광막을 도포하고, 이 감광막을 노광 및 현상하여, 도 8에 도시된 바와 같이, 소자 분리층(2)을 중심으로, 반도체 기판(1)의 P형 소자영역(A1)을 노출시키는(N형 소자영역(A2)을 차폐시키는) 감광막 패턴(101)을 형성시킨다.

<20> 이 상황에서, 본 발명에서는 일련의 이방성 식각 특성을 갖는 건식 식각공정, 예컨대, 반응성 이온식각공정을 진행시켜, 스페이서용 산화막(20)의 일부를 식각하고, 이를 통해, 도면에 도시된 바와 같이, P-폴리 게이트(8)의 측벽에 스페이서(21)를 형성시킨다. 이 경우, 본 발명에서는 스페이서(21)의 식각률을 적절히 조절함으로써, 해당 스페이서(21)가 본 발명에서 원하는 PMOS측 예정 채널길이 CL3를 구현하는데 적합한 규모를 갖도록 유도한다.

<21> 그런 다음, 본 발명에서는 P형 소자영역(A1)을 타겟으로, 일련의 이온 주입 공정을 진행시켜, P-폴리 게이트 주변(8)에 위치한 P-LDD 예정영역(31a)에 예컨대, B 등과 같은 일련의 P형 불순물들을 저 농도로 이온 주입시킨다.

<22> 이때, 상술한 바와 같이, P-LDD 예정영역(31a)의 상부에는 필요에 따라, 그 규모가 탄력적으로 조절된 스페이서(21)가 미리 형성되어 있기 때문에, P-폴리 게이트(8) 주변의 P-LDD 예정영역(31a)으로 주입되는 P형 불순물들은 이 스페이서(21)의 영향을 불가피하게 받을 수밖에 없게 되며, 결국, PMOS측 예정 채널길이 CL3는 본 발명에서 원하는 값으로 손쉽게 조절될 수 있게 된다.

- <23> 상술한 과정을 통해, P-LDD 예정영역(31a)에 일련의 P형 불순물들이 저 농도로 이온 주입 완료되면, 본 발명에서는 감광막 패턴(101)을 제거시킨 후, 이온주입 조절용 산화막(20)이 일부 형성된 반도체 기판(1) 상에 감광막을 도포하고, 이 감광막을 노광 및 현상하여, 도 9에 도시된 바와 같이, 소자 분리층(2)을 중심으로, 반도체 기판(1)의 N형 소자영역(A2)을 노출시키는(P형 소자영역(A1)을 차폐시키는) 감광막 패턴(102)을 형성시킨다.
- <24> 이 상황에서, 본 발명에서는 일련의 이방성 식각 특성을 갖는 건식 식각공정, 예컨대, 반응성 이온식각공정을 진행시켜, 스페이서용 산화막(20)의 일부를 식각하고, 이를 통해, 도면에 도시된 바와 같이, N-폴리 게이트(10)의 측벽에 스페이서(22)를 형성시킨다. 이 경우, 본 발명에서는 스페이서(22)의 식각률을 적절히 조절함으로써, 해당 스페이서(22)가 본 발명에서 원하는 NMOS측 예정 채널길이 CL4를 구현하는데 적합한 규모를 갖도록 유도한다.
- <25> 그런 다음, 본 발명에서는 N형 소자영역(A2)을 타겟으로, 일련의 이온 주입 공정을 진행시켜, N-폴리 게이트(10) 주변에 위치한 N-LDD 예정영역(32a)에 예컨대, P, As 등과 같은 일련의 N형 불순물들을 저 농도로 이온 주입시킨다.
- <26> 이때, 상술한 바와 같이, N-LDD 예정영역(32a)의 상부에는 필요에 따라, 그 규모가 탄력적으로 조절된 스페이서(22)가 미리 형성되어 있기 때문에, N-폴리 게이트(10) 주변의 N-LDD 예정영역(32a)으로 주입되는 N형 불순물들은 이 스페이서(22)의 영향을 불가피하게 받을 수밖에 없게 되며, 결국, NMOS측 예정 채널길이 CL4는 본 발명에서 원하는 값으로 손쉽게 조절될 수 있게 된다.
- <27> 한편, 상술한 과정을 통해, N-LDD 예정영역(32a)에 일련의 N형 불순물들이 저 농도로 이온 주입 완료되면, 본 발명에서는 감광막 패턴(102)을 제거시킨 후, 도 10에 도시된 바와 같이, 앞의 스페이서(21,22)를 버퍼 마스크로 하여, 일련의 이온 주입 공정을 진행시키고, 이

를 통해, P-폴리 게이트(8) 및 N-폴리 게이트(10) 주변의 P-소오스·드레인 예정영역(33a) 및 N-소오스·드레인 예정영역(34a)에 예컨대, B, P 등과 같은 일련의 P형 불순물 및 N형 불순물을 선택적으로 고 농도 이온 주입시킨다.

<28> 상술한 과정을 통해, P-폴리 게이트(8) 및 N-폴리 게이트(10) 주변의 P-소오스·드레인 예정영역(33a) 및 N-소오스·드레인 예정영역(34a)에 P형/N형 불순물들이 고 농도로 주입 완료 되면, 본 발명에서는 앞의 각 구조물들이 형성된 반도체 기판(1)을 예컨대, 확산로로 이송시킨 후, 이 확산로 내에서, 일련의 고온 어닐링 공정을 진행시킴으로써, 웰 예정영역(3a), P-채널 예정영역(4a), N-채널 예정영역(4b), P-LDD 예정영역(31a), N-LDD 예정영역(32a), P-소오스·드레인 예정영역(33a), N-소오스·드레인 예정영역(34a) 등에 주입되어 있던 불순물들의 확산을 유도한다.

<29> 결국, 상술한 어닐링 공정이 완료되면, 도 11에 도시된 바와 같이, P형 소자영역(A1), N형 소자영역(A2) 각각에는 완성된 형태의 웰(3), P-채널(4c), N-채널(4d), P-LDD(31), N-LDD(32), P-소오스/드레인(33), N-소오스/드레인(34) 등을 구비한 PMOS 소자, NMOS 소자가 제조 완료된다.

<30> 이러한 어닐링 공정 하에서, 도 12에 도시된 바와 같이, 예컨대, P-LDD 예정영역(31a), P-소오스·드레인 예정영역(33a), N-LDD 예정영역(32a), N-소오스·드레인 예정영역(34a) 등에 주입되어 있던 P형 불순물(예컨대, B), N형 불순물(예컨대, P) 등은 어닐링 공정 중에 가해지는 열에 의해 일정 속도로 확산되는 메카니즘을 취하게 된다. 이 경우, 앞서 언급한 바와 같이, B과 같은 P형 불순물은 P(또는 As)와 같은 N형 불순물에 비해, 매우 빠른 확산속도를 나타내게 된다.

<31> 이때, 상술한 바와 같이, 본 발명에서는 P-LDD 예정영역(31a) 및 N-LDD 예정영역(32a)에 일련의 불순물들을 주입하기 이전에, 별개의 스페이서(21,22)를 서로 다른 규모로 선택·형성한 후, 이 서로 다른 규모의 스페이서들(21,22)을 기반으로, 각 LDD 예정영역(31a,32a)에 주입되는 불순물의 주입상태가 임의로 조절될 수 있도록 유도하여, PMOS측 예정 채널길이 CL3 및 NMOS측 예정 채널길이 CL4를 필요에 따라, 선택적으로 조절해 놓았기 때문에, 본 발명의 체제하에서, 앞의 실질적인 어닐링 공정이 진행되고, P형 불순물이 N형 불순물에 비해 빠르게 확산되는 현상이 발생된다 하더라도, 최종 형성되는 PMOS측 채널길이 CL5 및 NMOS측 채널길이 CL6는 각 불순물들의 확산 속도와 무관하게 본 발명의 필요에 따라, 효율적으로 조절될 수 있게 된다.

<32> 이러한 본 발명의 실시예에 따라, PMOS측 채널길이 CL5 및 NMOS측 채널길이 CL6가 각 불순물들의 확산 속도와 무관하게 본 발명에서 원하는 효율적인 값을 유지할 수 있게 되는 경우, 최종 형성되는 PMOS 소자 및 NMOS 소자의 문턱전압은 자연스럽게 본 발명에서 원하는 값을 나타낼 수 있게 되며, 결국, 최종 완성되는 고 집적 반도체 소자는 일정 수준 이상의 품질을 손쉽게 유지할 수 있게 된다.

<33> 이후, 본 발명에서는 일련의 실리사이드 공정을 진행하여, P-폴리 게이트(8), N-폴리 게이트(10), P-소오스·드레인(33), N-소오스·드레인(34) 등의 표면에 예컨대, SiTiX, SiCOX 등과 같은 재질을 갖는 실리사이드 층을 형성시키고, 연이어, 통상의 후속공정을 신속하게 진행시킴으로써, 일련의 반도체 소자 제조과정을 안정적으로 마무리한다.

【발명의 효과】

- <34> 이상에서 상세히 설명한 바와 같이, 본 발명에서는 P-LDD 예정영역 및 N-LDD 예정영역에 일련의 불순물들을 주입하기 이전에, 별개의 스페이서를 서로 다른 규모로 선택·형성한 후, 이 서로 다른 규모의 스페이서들을 기반으로, 각 LDD 예정영역에 주입되는 불순물의 주입상태가 임의로 조절될 수 있도록 유도하고, 이를 통해, PMOS측 예정 채널길이 및 NMOS측 예정 채널 길이가 필요에 따라, 선택적으로 조절될 수 있도록 가이드 함으로써, 추후, 실질적인 어닐링 공정이 진행되고, P형 불순물 및 N형 불순물의 구조적인 차이에 의해, P형 불순물이 N형 불순물에 비해 빠르게 확산된다 하더라도, 이와 무관하게, 최종 형성되는 PMOS측 채널길이 및 NMOS측 채널길이가 필요에 따라, 효율적으로 조절될 수 있도록 유도한다.
- <35> 이러한 본 발명의 실시예에 따라, PMOS측 채널길이 및 NMOS측 채널길이가 각 불순물들의 확산 속도와 무관하게 본 발명에서 원하는 효율적인 값을 유지할 수 있게 되는 경우, 최종 형성되는 PMOS 소자 및 NMOS 소자의 문턱전압은 자연스럽게 본 발명에서 원하는 값을 나타낼 수 있게 되며, 결국, 최종 완성되는 고 집적 반도체 소자는 일정 수준 이상의 품질을 손쉽게 유지할 수 있게 된다.
- <36> 앞에서, 본 발명의 특정한 실시예가 설명되고 도시되었지만 본 발명이 당업자에 의해 다양하게 변형되어 실시될 가능성이 있는 것은 자명한 일이다. 이와 같은 변형된 실시예들은 본 발명의 기술적사상이나 관점으로부터 개별적으로 이해되어서는 안되며 이와 같은 변형된 실시예들은 본 발명의 첨부된 특허청구의 범위안에 속한다 해야 할 것이다.

【특허청구범위】**【청구항 1】**

소자 분리층에 의해 전기적으로 분리된 반도체 기판의 P형 소자영역 및 N형 소자영역 각각에 P-폴리 게이트 및 N-폴리 게이트를 형성시키는 단계와;

상기 P-폴리 게이트 및 N-폴리 게이트가 커버되도록 상기 반도체 기판의 전면에 스페이서용 산화막을 형성시키는 단계와;

상기 N형 소자영역을 차폐한 후, 상기 P형 소자영역에 형성된 스페이서용 산화막을 패터닝하여, 상기 P-폴리 게이트 측벽에 제 1 규모의 P-스페이서를 형성시키고, 상기 P-스페이서를 버퍼 마스크로 하여, 상기 P-폴리 게이트 주변의 P-LDD 예정영역에 일련의 P형 불순물을 선택적으로 저 농도 이온 주입시키는 단계와;

상기 P형 소자영역을 차폐한 후, 상기 N형 소자영역에 형성된 스페이서용 산화막을 패터닝하여, 상기 N-폴리 게이트 측벽에 제 2 규모의 N-스페이서를 형성시키고, 상기 N-스페이서를 버퍼 마스크로 하여, 상기 N-폴리 게이트 주변의 N-LDD 예정영역에 일련의 N형 불순물을 선택적으로 저 농도 이온 주입시키는 단계와;

상기 P-폴리 게이트 및 N-폴리 게이트 주변의 P-소오스·드레인 예정영역 및 N-소오스·드레인 예정영역에 일련의 P형 불순물 및 N형 불순물을 선택적으로 고 농도 이온 주입시키는 단계와;

상기 반도체 기판을 어닐링 시켜, 상기 P-LDD 예정영역, N-LDD 예정영역, P-소오스·드레인 예정영역, N-소오스·드레인 예정영역에 주입되어 있던 상기 P형 불순물들 및 N형 불순물들을 확산시키는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 2】

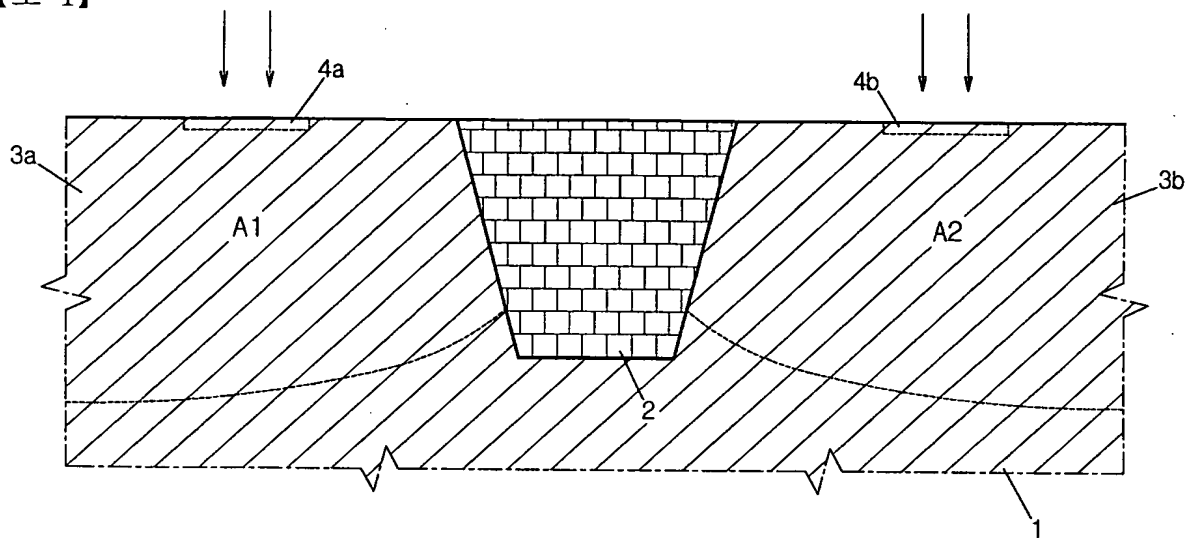
제 1 항에 있어서, 상기 스페이서용 산화막은 700°C ~ 900°C 의 온도 조건에서 형성되는 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 3】

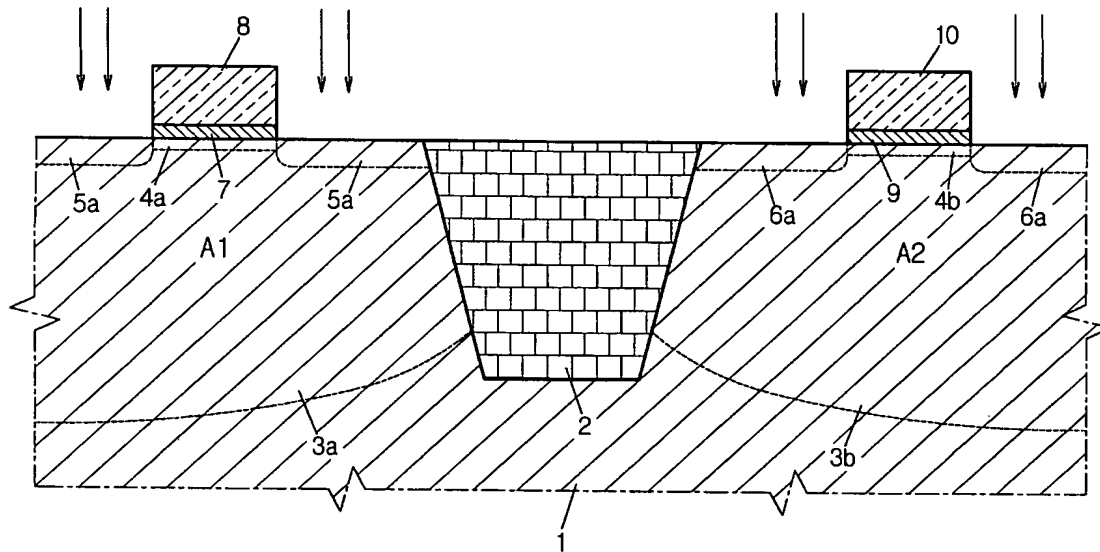
제 1 항에 있어서, 상기 스페이서용 산화막은 100\AA ~ 500\AA 의 두께를 갖는 것을 특징으로 하는 반도체 소자의 제조방법.

【도면】

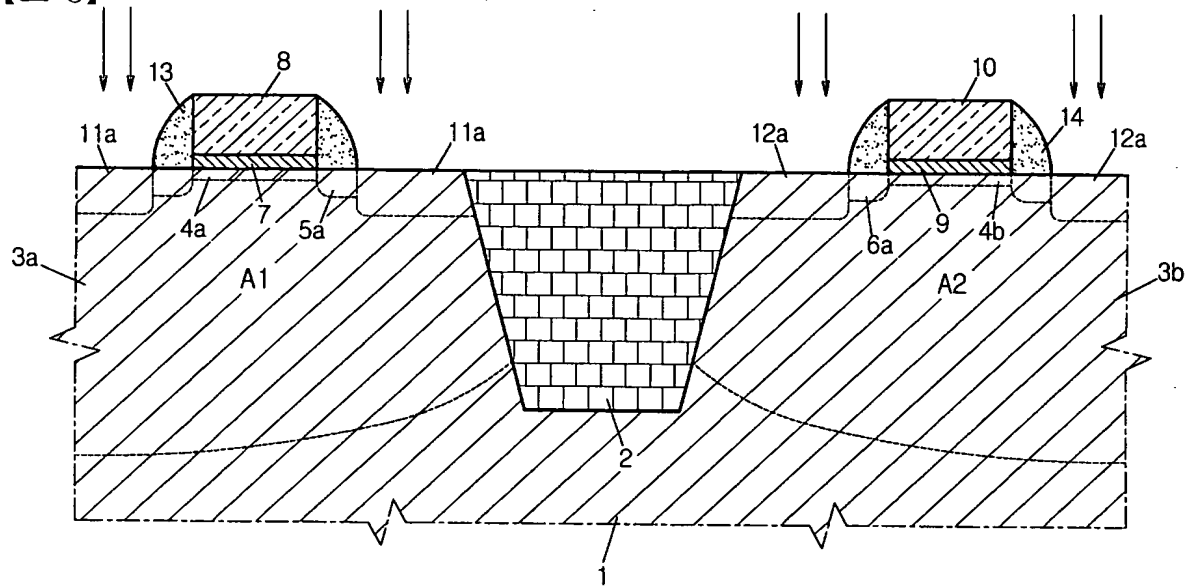
【도 1】



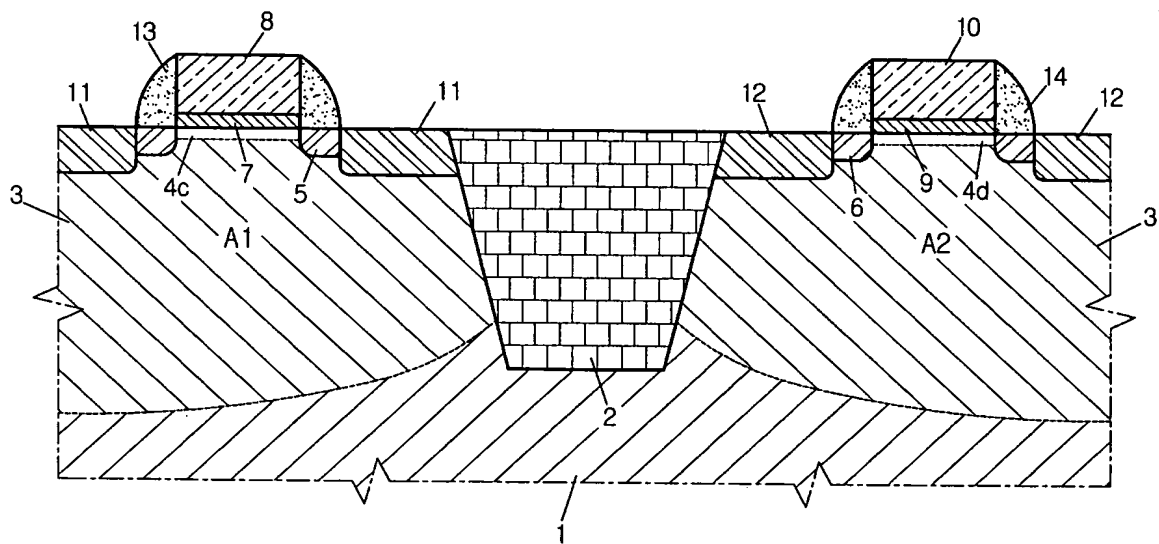
【도 2】



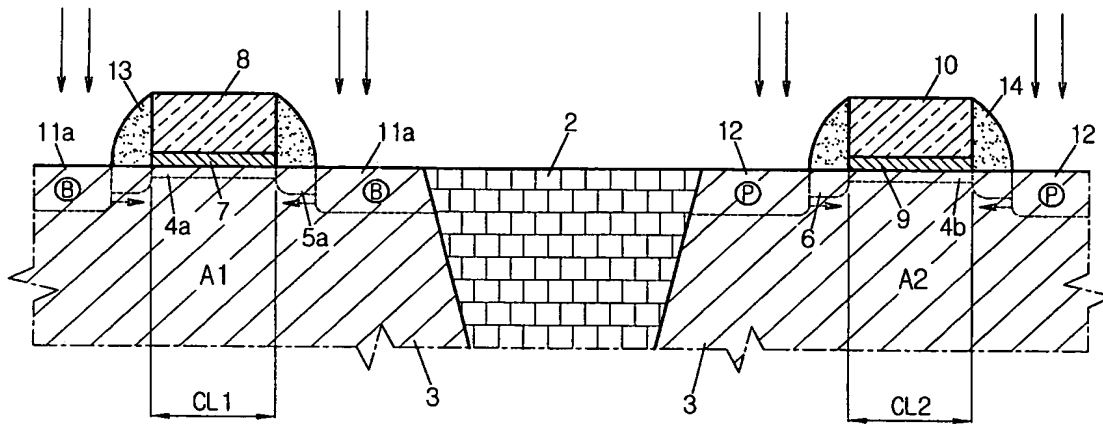
【도 3】



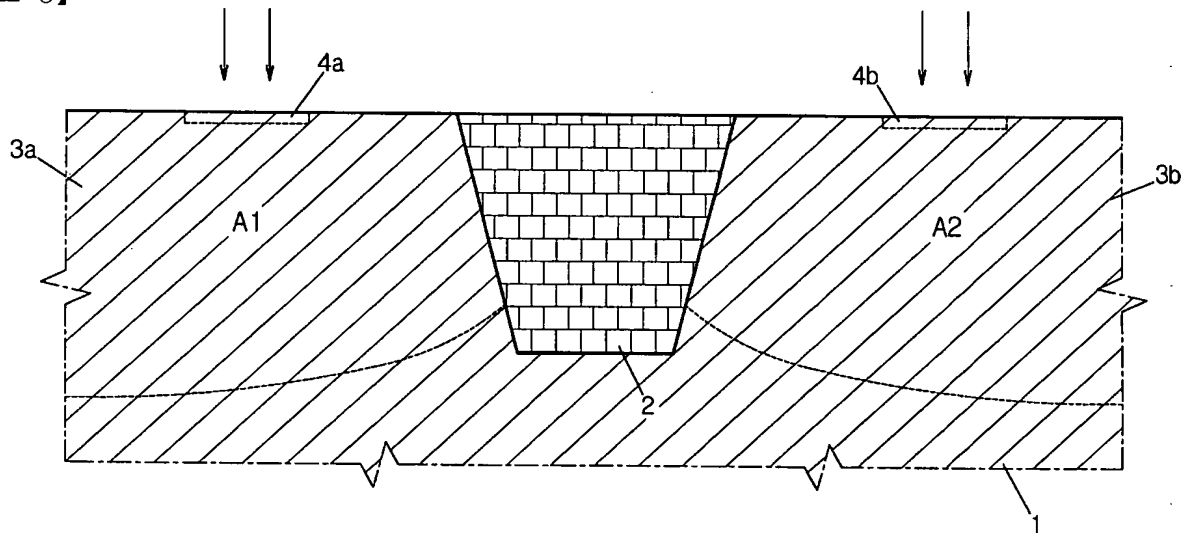
【도 4】



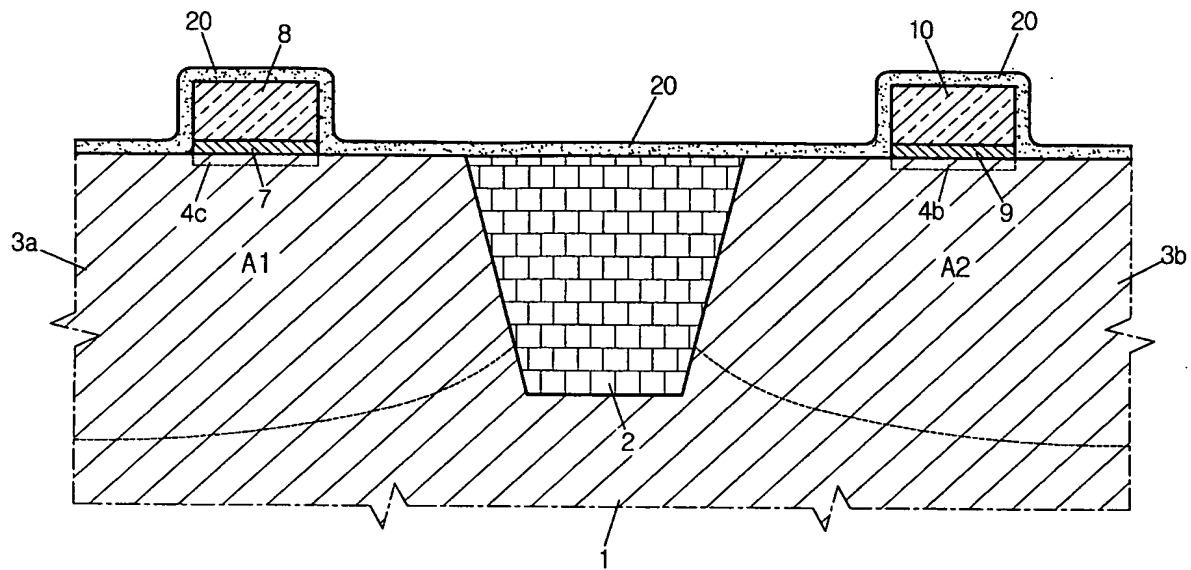
【도 5】



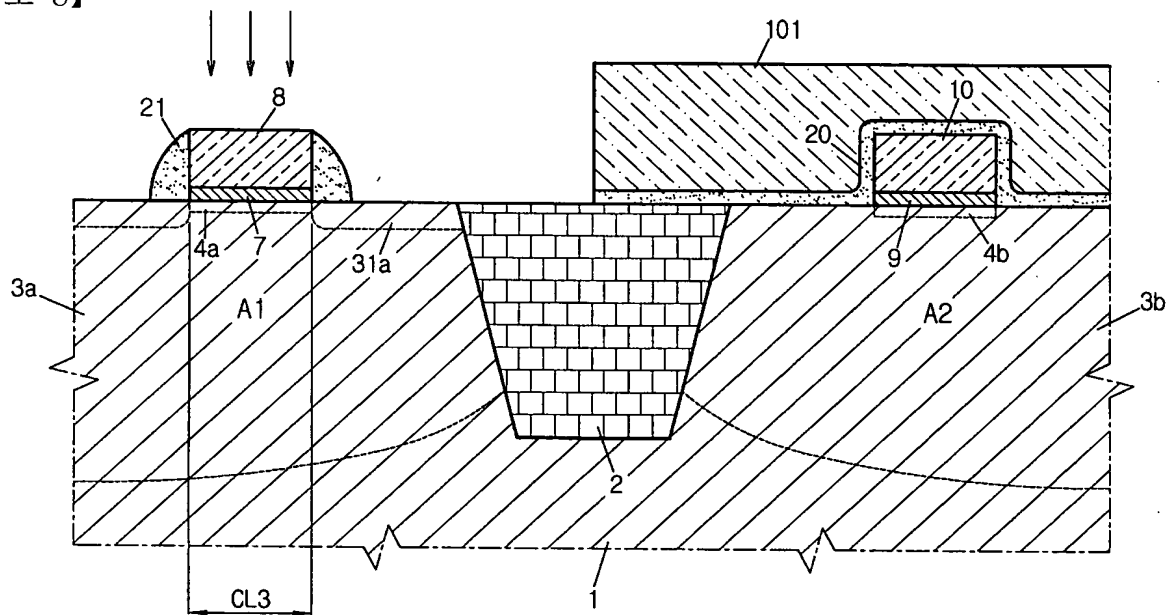
【도 6】



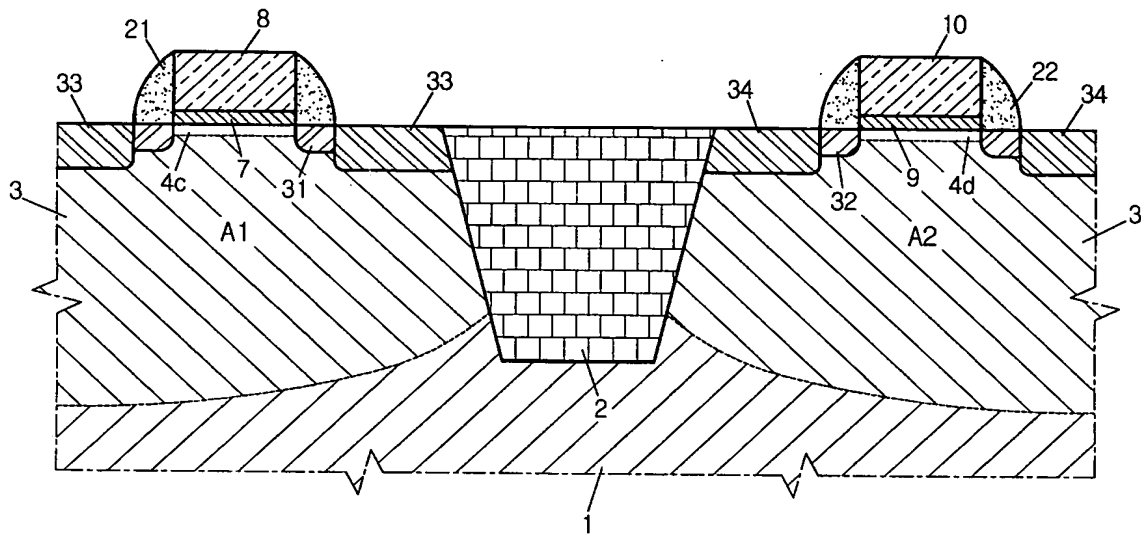
【도 7】



【도 8】



【도 11】



【도 12】

